第5章

無償で使えるIPコアを使って手軽に作る

簡易信号発生器の製作

岡本 顕，水木 智司，畑林豊治

ここでは，付属FPGA基板を手軽に活用する例を紹介する．無償で利用できるIP（intellectual property）コアを活用して，簡単な信号発生器を製作する．IPコアを利用することにより，ディジタル部の設計はほとんど必要なくなる．抵抗だけで構成する簡単なD-Aコンバータを外部回路として用意し，アナログ波形として出力する．（編集部）

FPGAの大規模化が進み，さまざまな設計で活用されています．マイクロプロセッサを搭載する組み込みシステムや，ディジタル信号処理システムが代表的な例として挙げられるでしょう．

また，小中規模のFPGAであれば，FPGAメーカが無償で提供するツールだけで設計が可能です．無償で利用できるIPコアも用意されています．

本稿では，Xilinx社のFPGA/PLD開発ツール「ISE WebPACK」と，その機能の一つでIPコア生成機能の「Core Generator」を活用して簡単なアプリケーションを設計してみます．

今回使用するのは，DDS（direct digital synthesizer）機能のIPコアです．このコアを使用して正弦波出力回路を作成します．

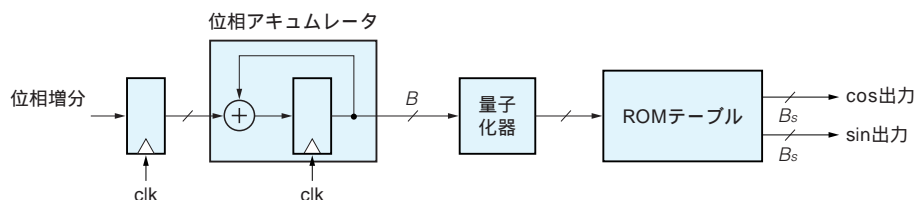
1．DDSの信号発生のしくみ

DDSはディジタル信号発生器のことです．数値制御発振器（NCO：numerically controlled oscillator）とも呼ばれます．

● ROMテーブルを使って波形を生成

DDSの基本構造を図1に示します．正弦波の1サイクル分の数値を収納したROMテーブルに対して，規則的なクロック間隔でアドレスを加算し，データを読み出す簡単な構成です．

クロックのタイミングが規則正しければ，記録されたsin/cos関数値の精度によって，正確な基本波を出力できます．また，アドレス初期値とアドレス増分値を調整することで，位相オフセットや出力正弦波周波数を制御できます．ROMテーブルの数値に従った出力を得られるため，動作中に位相や周波数の切り替えを行っても波形が乱れることはありません．

図1 DDSのブロック図
正弦波の1サイクル分の数値を収納したROMテーブルに対して，規則的なクロック間隔でアドレスを加算し，データを読み出す簡単な構成である．

KeyWord FPGA，IPコア，DDS，数値制御発振器，ROMテーブル，SFDR，量子化器，DCM，*R*-2*R*ラダーDAC

● 周波数分解能と出力周波数

出力信号の分解能(品質)はROMデータの数(ワード数)，すなわち波形データのアドレス幅によって決まります．そして出力される基本波の周波数は，ROMデータの数とDDSブロックに入力するクロック周波数，位相アキュムレータの増分(スキップ値)で決まります．

出力される正弦波の周波数f_{out}は，以下の式で表すことができます．

$$f_{out} = \Delta\theta \times f_s / 2^{B\theta}$$

f_sはDDSブロックのクロック周波数，$\Delta\theta$は位相増分，$B\theta$は位相アキュムレータのビット幅

位相増分$\Delta\theta$をf_sのタイミングで累積加算していくと，0～2πの位相に相当する1サイクル分のROMアドレス値が順に生成されます．

出力する基本波の周波数は，位相増分$\Delta\theta$で決定します．つまり，DDSブロックのクロック周波数f_sごとに$\Delta\theta$だけ位相が進むことで，出力波の1サイクルが決定します．

図2にDDSによる波形発生の様子を示します．$\Delta\theta$が4の場合と1の場合を示しています．f_sが32Hz，位相アキュムレータのビット幅が5ビットであれば，$\Delta\theta = 1$では，$f_{out} = 1/1 = 1$Hzとなります．$\Delta\theta = 4$とすれば，$f_{out} = 4/1 = 4$Hzとなります．

● 信号品質を表すSFDR

DDSは信号発生器なので，信号品質が求められます．**図3**に，SFDR(spurious free dynamic range)の例を示します．出力信号のスペクトル・エネルギーのピーク値と，そのときのノイズフロア・エネルギーとの比を示しています．SFDRの実効値はdB(デシベル)で表されます．

SFDRは出力正弦波の中にどのくらい余分な高調波成分を含んでいるかを示すもので，信号品質を表す一つの目安になります．DDSを使用する際のシステム側から要求される仕様の一つにもなります．通信システムの中では，この値をDDSが満たしていることが重要となります．

● SFDR改善に重要な量子化器

量子化器は，位相アキュムレータの出力をROMアドレス用に最適化します．最終的なROMアドレスを生成し，波形値を選択するブロックです．このブロックによるアドレス生成では，ROMを節減すると同時にビット削減によるダイナミック・レンジの低下にともなうSFDR改善のために位相アキュムレータを微調整する機能を併せ持つことがあります．その場合には，このブロックはディザリング処理や近似値処理を含みます．

例えば，出力周波数f_{out}がΔfで割り切れない場合には，位相増分$\Delta\theta$が誤差を持つことになります．通常はこの誤差を切り捨てて位相を決定しますが，この誤差に対して誤差拡散法や，テイラー級数を用いた近似値法を適用する手法が考えられます．

2. DDS IPコアを使用する

付属FPGA基板にDDSコアを実装して，D-Aコンバータ経由でアナログ信号を出力する信号発生器を設計します．

図2 DDSによる波形発生の様子
1サイクル分のROMアドレス値が順に出力する．周波数は，位相増分Δθで決まる．

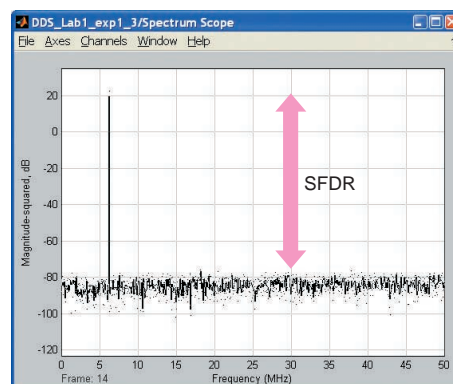



図3 SFDR(spurious free dynamic range)の例
出力信号のスペクトル・エネルギーのピーク値と，そのときのノイズフロア・エネルギーとの比を示したもの．

仕様を表1にまとめます．

FPGAに実装する信号発生回路のブロック図を図4に示します．DDSブロック，データ変換ブロック，二つのカウンタ，DCM（digital clock manager）で構成されています．

FPGAに入力するクロックは32MHzを想定しています．DDSコアの動作周波数とデータ・ラッチ・クロック（clock_out）は5MHzです．これはFPGA内部のDCMで，源発振の32MHzから生成します．

出力波形は，出力正弦波の周波数が約20kHzから約300kHzまでの範囲を，約1.5秒間で16回段階変化するスイープ動作とします．

リセット用の信号sclrによって，DCMとDDSブロックを含む，すべての回路をリセットします．従って，この信号がシステムの動作開始信号となります．

● DCMを使ってシステム・クロックを分周

今回は32MHzのクロックを入力し，5MHzの内部動作クロックを生成します．

CLKFX（クロック合成）出力をアクティブにして，合成比（CLKFX_MULTIPLY ＝ 5，CLKFX_DIVIDE ＝32）を与えます．また5MHzのクロックは，データ出力ラッチ・タイミング用の出力信号にもなっています．

Core Generatorを使って設計を行った後，リスト1のようなインスタンス宣言を行ってトップ・モジュールに組み込みます（詳しくは付属DVD-ROMに収録した手順書を参照）．

● DDSブロックは無償のIPコアを利用

DDSブロックは，無償で提供されているIPコア「DDS Compiler v1.1」を使用します．Core Generatorを使用して設定を行います（詳しくは付属DVD-ROMに収録した手順書を参照）．

コア設定の主なポイントは，

- 1チャネルsin出力
- 入力クロック・レート：5MHz
- SFDR：45dB
- 周波数分解能：0.1Hz
- 初期出力周波数：200kHz，出力周波数可変，出力位相固定
- ノイズ・シェーピングなし
- 同期リセット付き

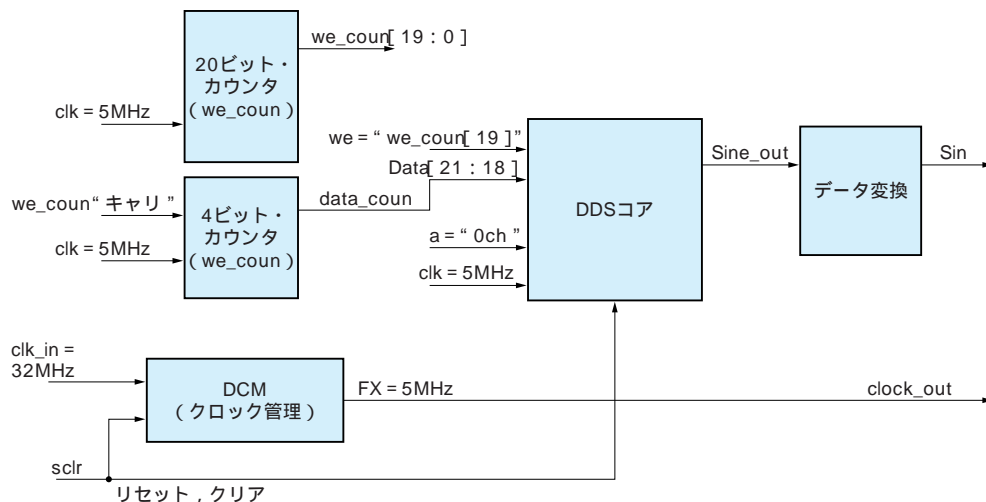
とすることです．生成されるコアは，8ビット出力，内部

表1　信号発生器の仕様

sin出力	チャネル0を使用，周波数可変，位相固定
周波数分解能	0.1Hz
SFDR	45dB
量子化器	切り捨て
D-A出力	8ビット・ラッチ＋8ビットR-$2R$ラダーDAC＋OPアンプ（出力フィルタを含む）

リスト1　DCMのインスタンス

```
// Instantiate DCM module
dcm_block dcm0 (
    .CLKIN_IN(clk_in),
    .RST_IN(sclr),
    .CLKFX_OUT(clk),
    );
```

図4
FPGAに実装する信号発生回路のブロック図
DDSブロック，データ変換ブロック，二つのカウンタ，DCM（digital clock manager）で構成されている．

アキュムレータは26ビット，メモリ・ブロック1個で実現されます．

出力周波数を変更できるように，位相アキュムレータ可変の設定を行います．それに従い，書き込みイネーブル（we），書き込みアドレス（a），書き込みデータ（data）ポートがコアに準備されます．

入力ポートaは5ビットの信号で，対象とするチャネルの指示などを行います．今回はチャネル0のアキュムレータのみの変更なので，“00000”となります．

入力ポートdataは，26ビットの書き込みデータを入力します．この設定値がDDSの内部アキュムレータのインクリメント値となります．今回は，この設定値の上位4ビットと下位18ビットには固定値を入れています．残りの4ビットには，4ビット・カウンタのカウント値を読み込みます．従って，dataに設定される値の範囲は，3FFF000h～3C3F000hとなります．

入力ポートweは，アドレスaにdataを書き込むイネーブル信号です．weが有効になった次のクロック・タイミングで書き込みを行います．今回は，weには20ビット・カウンタの最上位ビットを接続します．

Core Generatorで設定後に，**リスト2**のようなインスタンス宣言を行ってトップ・モジュールに組み込みます．

● 20ビット・カウンタ（we_coun）でイネーブルを生成

5MHzのクロックで動作する20ビット・アップ・カウンタです．クロックを分周し，最上位ビットのwe_coun[19]をDDSのweに接続します．

● 4ビット・カウンタ（data_coun）で出力波形を変更

20ビット・カウンタのキャリを使ってダウン・カウントを行います．$5M/2^{20}$[Hz]のタイミングでダウン・カウントを行います．

カウント値は，DDSのdataポートdata[21：18]に接続しています．

● D-A変換出力のために符号なし整数へデータ変換

データ変換ブロックは，DDSが出力する符号付き8ビットのデータをD-A変換の出力にするために符号なし整数データに変換するブロックです．具体的には，－128～127のDDSの出力値を0～256に変換します．

最上位ビットで判定した正負のデータの最上位ビットを

リスト2　DDSのインスタンス

```
/ DDS core instance
dds_core dds_variable (
    .a(a), // Bus [4 : 0]
    .clk(clk),
    .sclr(sclr),
    .we(we),
    .data(data), // Bus [25 : 0]
    .sine(sine_out)); // Bus [7 : 0]
```

反転させるだけの簡単な処理です．

3．D-A変換回路と動作検証

DDSコアを使って生成したD-Aコンバータを介してアナログ波形として出力し，オシロスコープで観測します．

● *R*-2*R*ラダーDACとOPアンプを通して出力

DDSから出力されるディジタル値をアナログ値に変換します．今回は手軽に検証ができるようにD-AコンバータICを使わず，*R*-2*R*ラダーDACを作ってみました．

ラダーDACの出力にはカットオフ周波数160kHz，ゲイン0.5倍の1次アクティブ・フィルタを入れ，アナログ出力を観測できるようにしました（**図5**）

なお，本回路は簡易的に作成したものです．ばらつきなどの影響があるので，実設計で活用する際には注意が必要です．

● FPGAとの接続

FPGA搭載付録基板との接続には，コネクタ番号CN2に引き出されているI/Oピン中の8本を利用しました．CN2-IO[35]からIO[42]までの8本を，*R*-2*R*ラダーDACを接続した標準ロジックICである74HC541の入力ピンに接続しています．

写真1に製作した基板を示します．左下にあるのが74HC541と*R*-2*R*ラダーDACです．

ところでHC541自身は5V駆動ICですが，FPGAから出力された3.3V LVTTLレベルの入力信号も正しく受け取ることができます．FPGAから見た場合の5V CMOSレベルへのレベル変換ICとしても重宝します．

● 出力波形

設計した回路から出力されるアナログ波形の観測結果を**図6**に示します．観測に使用した計測器を**表2**に示します．

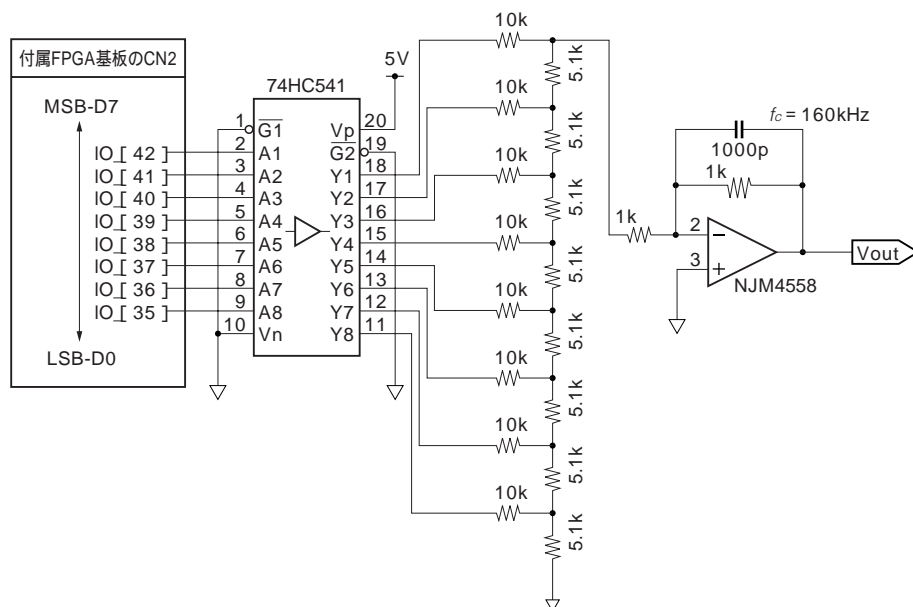



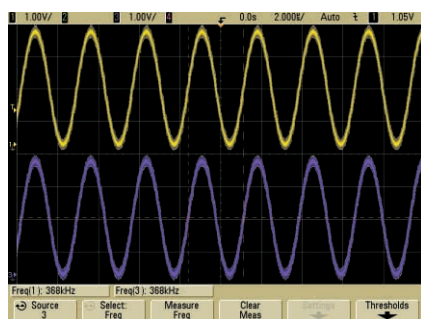
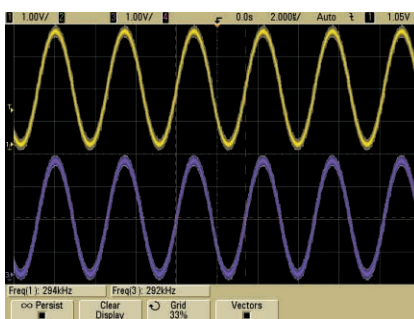
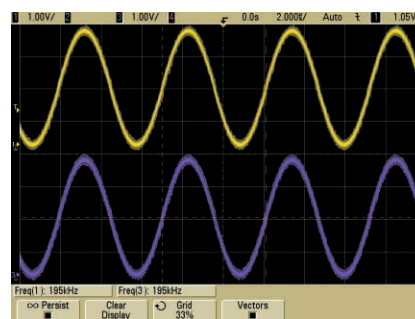
図5
信号発生器の回路図
DDSで生成した信号をR-2RラダーDACとOPアンプを通して出力する．

（**a**）D［21：18］＝0000に設定

（**b**）D［21：18］＝0011に設定

（**c**）D［21：18］＝0111に設定

図6　製作した信号発生器の信号観測結果

写真1　製作した信号発生器の外観

表2　観測に使用した計測器

ディジタル・オシロスコープ	MSO6104A（米国Agilent Technlogy社）
プローブ	10：1プローブ10073C（Agilent Technlogy社）
電源	5V安定化電源DM-330MV（アルインコ）

おかもと・たかし
みずき・さとし
はたばやし・とよはる
アヴネット ジャパン（株）

<筆者プロフィール>
岡本 顕． 1998年アヴネット ジャパンの前身，メメックジャパンに入社．現在はアヴネット ジャパンにてスペシャリストAE業務を担当．
水木智司． 2001年アヴネット ジャパンの前身，メメックジャパンに入社．現在はアヴネット ジャパンにてXilinx FPGAトレーニングを担当．
畑林豊治． 1997年アヴネット ジャパンの前身，メメックジャパンに入社．現在はアヴネット ジャパンにて技術サポート業務を担当．

参考・引用*文献

（1）DDS Compiler v1.1，DS558，Xilinx.
（2）遠坂俊昭；計測のためのフィルタ回路設計，CQ出版社，1998年.